

(19)



JAPANESE PATENT OFFICE

TI-15433

Ref. No. 2

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63188783 A**

(43) Date of publication of application: 04 . 08 . 88

(51) Int. Cl.

G01R 31/28
G01R 13/28
G06F 11/22

(21) Application number: **62020763**(71) Applicant: **NEC CORP**

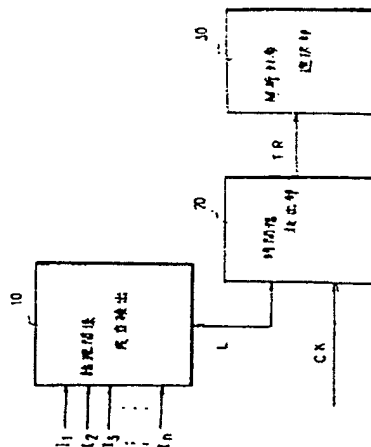
(22) Date of filing: 31 . 01 . 87

(72) Inventor: **TANUMA HIROSHI**(54) **LOGIC ANALYZER**

(57) Abstract:

PURPOSE: To analyze a logic waveform flexibly by detecting a fact that a prescribed logic relation holds among input two binary signals to be analyzed for longer time than a prescribed time.

CONSTITUTION: A logic relation establishment detection part 10, a time width detection part 20, and an analytic object selection part 30 are provided. Then the detection part 10 detects the setting of a prescribed logic relation among plural input binary signals $I_1, I_2, I_3, \dots, I_n$ to be analyzed and supplies its detection output to the detection part 20. The detection part 20 detects whether or not the logic relation detected by the detection part 10 continuing to prescribed time width and supplies its detection result as a trigger signal TR to the selection part 30. The selection part 30 selects a prescribed input signal to be analyzed among input binary signal groups I_1, I_2, \dots, I_n to start analyzing the input signal or recording a waveform for subsequent analyses.



COPYRIGHT: (C)1988,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-188783

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)8月4日

G 01 R 31/28

R-6912-2G

13/28

L-7359-2G

G 06 F 11/22

3 2 0

B-7368-5B

審査請求 未請求 発明の数 1 (全3頁)

⑯ 発明の名称 ロジック・アナライザ

⑰ 特 願 昭62-20763

⑱ 出 願 昭62(1987)1月31日

⑲ 発 明 者 田 沼 博 志 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 梶 井 俊 彦

明 細 書

1. 発明の名称

ロジック・アナライザ

2. 特許請求の範囲

解析対象の複数の入力二値信号の間に所定の論理関係が成立したことを検出する論理関係成立検出部と、

この検出された論理関係が所定時間幅にわたって続いたことを検出する時間幅検出部と、

この時間幅検出部の検出出力をトリガとして解析対象の入力信号を選択する入力信号選択部とを備えたことを特徴とするロジック・アナライザ。

3. 発明の詳細な説明

発明の目的

産業上の利用分野

本発明は、ディジタル回路のテストなどに使用されるロジック・アナライザに関するものである。

従来の技術

従来、ディジタル回路のテストなどに利用され

るロジック・アナライザは、解析対象の複数の入力二値信号の間に所定の論理積が成立したことを検出し、この検出出力をトリガとして解析対象の信号波形を選択している。

発明が解決しようとする問題点

上記従来のロジック・アナライザは、所定の論理積の成否だけから解析対象選択用トリガを発生させるか否かを決定しているので、波形の変化点で生ずる過渡的な状態に対してトリガがかかってしまうなど柔軟性にかけるという問題がある。

問題点を解決するための手段

本発明のロジック・アナライザは、解析対象の複数の入力二値信号の間に所定の論理関係が成立したことを検出する論理関係成立検出部と、この検出された論理関係が所定時間幅にわたって続いたことを検出する時間幅検出部と、この時間幅検出部の検出出力をトリガとして解析対象の入力信号を選択する入力信号選択部とを備えることにより、トリガのかけ方に柔軟性を持たせるように構成されている。

以下、本発明の作用を実施例と共に詳細に説明する。

実施例

第1図は、本発明の一実施例のロジック・アナライザの構成を示すブロック図である。

このロジック・アナライザは、論理関係成立検出部10と、時間幅検出部20と、解析対象選択部30とを備えている。

論理関係成立検出部10は、解析対象の複数の入力二値信号 $I_1, I_2, I_3, \dots, I_n$ の間に所定の論理関係が成立したことを検出し、検出出力を時間幅検出部20に供給する。時間幅検出部20は、論理関係成立検出部10で検出された論理関係が所定時間幅にわたって続いたかどうかを検出し、検出結果をトリガ信号TRとして解析対象選択部30に供給する。解析対象選択部30は、時間幅検出部20からのトリガと信号TRに基づき上記入力二値信号群 $I_1 \sim I_n$ から所定の解析対象の入力信号を選択し、その解析を開始したり、のちの解析に備えた波形の記録などを開始する。

うにプリセットされる。検出信号Lがクロック信号CKの同期の3倍の期間にわたって“1”になると、3入力アンドゲートAの出力が“1”となり、遅延フリップ・フロップDから出力されるトリガ信号TRが“1”となる。

第4図は、上記TR信号発生タイムチャートである。信号Lがクロック信号CKの3周期以上の期間にわたって“1”になると、トリガ信号TRが“0”から“1”に変化する。

以上、入力信号間に成立する所定の論理関係として2入力信号の間に論理積が成立する場合を例示したが、そのような論理関係は2以上の入力信号の間に成立する論理積や論理和を含む任意のものでよい。

発明の効果

以上詳細に説明したように、本発明のロジック・アナライザは、解析対象の複数の入力二値信号の間に所定の論理関係が所定時間以上にわたって成立したことを検出し、この検出出力をトリガとして解析対象の入力信号を選択する構成であるか

第2図と第3図は、第1図の論理関係成立検出部10と時間幅検出部20の構成の一例を示すブロック図である。これらの回路は、入力二値信号 I_1 と I_2 の間に、 $I_1 * \overline{I_2} = "1"$ という論理関係が3クロック周期にわたって成立した時にトリガ信号TRが発生する例を示す。

まず、論理関係成立検出部10は、第2図に示すように、 n 個の論理回路 $11, 12, 13, \dots, 1n$ と、3入力アンドゲートAとで構成される。この検出部10において、 $I_1 * \overline{I_2} = "1"$ の論理が成立した時に検出信号Lが出力されるように、 $i_1 = "1", i_2 = "0", i_3 \sim i_n = "1", i_{n+1} \sim i_m = "0"$ が設定される。

一方、時間幅検出部20は、第3図に示すように、 m 個の遅延フリップ・フロップ $21 \sim 2m$ と、3入力アンドゲートAと、遅延フリップ・フロップDとから構成されている。 $t_1 = t_2 = t_3 = "0", t_4 \sim t_m = "1"$ と設定することにより、前段の3個のフリップ・フロップ $21 \sim 23$ についてだけその出力の初期値が“0”となるよ

うに、波形の変化点における過渡的な状態を除くなど柔軟性の高いロジック波形の解析を実現できるという効果がある。

特に、入力信号がダイナミックに変化している場合でもトリガのかけ方が容易になるという効果がある。

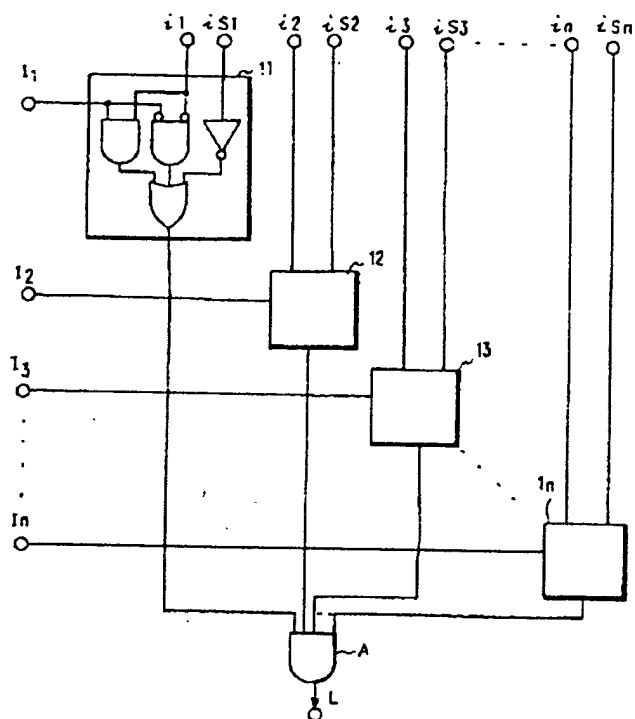
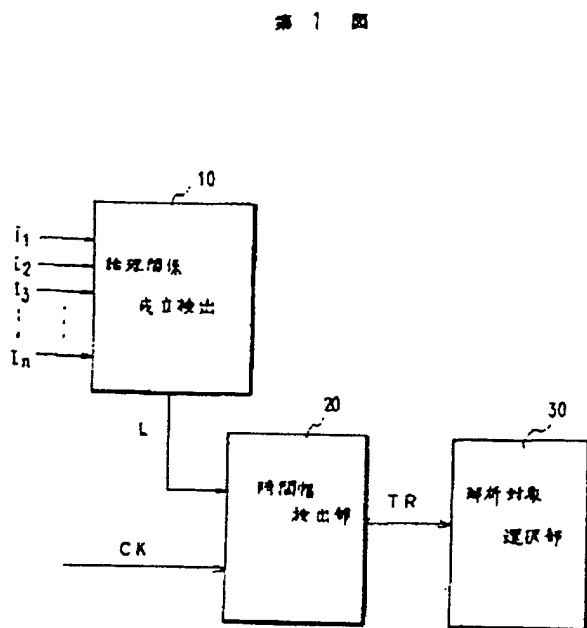
4. 図面の簡単な説明

第1図は本発明の一実施例のロジック・アナライザの構成を示すブロック図、第2図は第1図の論理関係成立検出部10の構成の一例を示す論理回路図、第3図は第1図の時間幅検出部20の構成の一例を示す論理回路図、第4図は第2図と第3図の論理回路の動作を説明するためのタイミングチャートである。

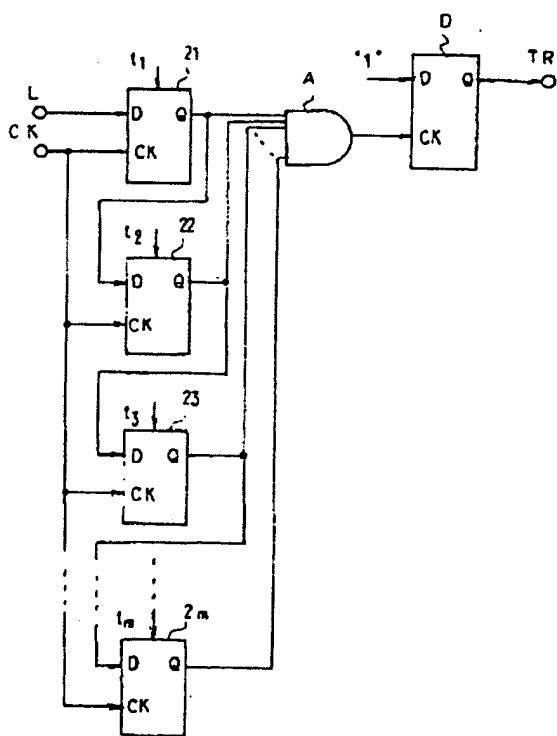
10・・・論理関係成立検出部、20・・・時間幅検出部、30・・・解析対象選択部。

特許出願人 日本電気株式会社
代理人 弁理士 櫻井俊彦

第 2 圖



第 3 圖



第 4 圖

